

【特許請求の範囲】

【請求項1】 複数の画素を規則的に配列してなる表示部を有する画像表示素子と、映像信号の入力に基づいて前記画像表示素子の表示部から発する光の光軸を所定の方向に振動させる光軸振動手段と、該光軸振動手段による光軸の振動に同期して前記画像表示素子に異なる画像を表示させる画像表示制御手段とを有し、解像度を向上させるようにした画像表示装置において、前記画像表示素子と前記光軸振動手段の少なくとも一方の応答性能による解像度の低下を低減するため、前記入力映像信号を補正する映像信号補正手段を備えていることを特徴とする画像表示装置。

【請求項2】 前記映像信号補正手段は、前記光軸振動手段による光軸の振動方向に対応して補正量を調整するように構成されていることを特徴とする請求項1に係る画像表示装置。

【請求項3】 前記映像信号補正手段は、現フィールドの映像信号と前フィールドの映像信号を用いて補正を行うように構成されていることを特徴とする請求項1又は2に係る画像表示装置。

【請求項4】 前記映像信号補正手段は、現フィールドの映像信号と複数の過去のフィールドの映像信号を用いて補正を行うように構成されていることを特徴とする請求項1又は2に係る画像表示装置。

【請求項5】 前記映像信号補正手段は、前記前フィールド又は複数の過去のフィールドの映像信号を記憶するメモリを備え、該メモリに記憶する前フィールド又は複数の過去のフィールドの映像信号の量子化レベル数を、前記入力映像信号の量子化レベル数より小さく設定していることを特徴とする請求項3又は4に係る画像表示装置。

【請求項6】 前記前フィールドの映像信号は、現フィールドのライン間の補間データにより想定するように構成されていることを特徴とする請求項3に係る画像表示装置。

【請求項7】 前記画像表示素子の駆動回路を備え、前記映像信号補正手段におけるサンプリングのタイミングを、前記画像表示素子の駆動回路におけるサンプリングのタイミングに合わせて補正処理を行うように構成されていることを特徴とする請求項1～6のいずれか1項に係る画像表示装置。

【請求項8】 前記映像信号はカラー映像信号であり、前記映像信号補正手段は各色信号に対して共通に対応させ、各色信号を順次補正処理するように構成されていることを特徴とする請求項1～7のいずれか1項に係る画像表示装置。

【請求項9】 前記映像信号補正手段の前段及び後段にA/D変換手段及びD/A変換手段を備え、前記光軸振動手段による振動幅に対応する映像信号の遅延を、A/D変換手段とD/A変換手段のサンプリングタイミング

のずれで生成させるように構成したことを特徴とする請求項1～8のいずれか1項に係る画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、光学的なウォブリング(wobbling)操作による画素ずらしを行って高解像度の画像を表示するようにした画像表示装置に関する。

【0002】

【従来の技術】従来、液晶表示素子などを用いた画像表示装置において、液晶表示素子からの光の光軸を所定の方向に振動させるウォブリングと呼ばれる画素ずらし操作を行って、液晶表示素子の解像度を向上させるようにした画像表示装置が、例えば特開平7-7704号公報などに開示されている。

【0003】次に、かかる光学的なウォブリング操作により解像度を向上させる画像表示装置の概略構成について説明する。図16に示すように、カラー液晶表示素子101の背面側に白色光を発光するバックライト102を配置し、カラー液晶表示素子101の前面側には、カラー液晶表示素子101からの光の光軸を所定方向に振動させるためのウォブリング素子103が配置されている。そして、カラー液晶表示素子101には、その同一画素に画像表示制御回路104を介して入力映像信号の奇数フィールド画像と偶数フィールド画像とを表示させ、その表示タイミングに合わせて、カラー液晶表示素子101からの光の光軸を、ウォブリング素子103により所定の方向に振動させるようになっている。

【0004】ウォブリング素子103は、偏光変換用液晶板105とその前面側に配置した複屈折板106とからなり、カラー液晶表示素子101に表示する映像信号の同期信号に基づいて、ウォブリング用液晶駆動回路107により偏光変換用液晶板105への電圧のオン・オフを制御し、これにより電圧がオンの状態では、カラー液晶表示素子101からの光の偏光を変化させることなく透過させ、電圧がオフの状態では、カラー液晶表示素子101からの光の偏光を90°変化させて透過させ、その偏光方向に応じて複屈折板106により射出する位置を変化させてウォブリング操作を行うようになっている。なお、カラー液晶表示素子101は、次のフィールドの画像に書き換えるまでは前のフィールドの画像を保持するので、偏光変換用液晶板105の一方の電極は、例えば5ライン程度の複数ラインに分割し、他方の電極は共通電極として、一方の電極をカラー液晶表示素子101のライン走査のタイミングに合わせて選択して、電圧の印加を制御するようになっている。

【0005】カラー液晶表示素子101に奇数フィールド画像と偶数フィールド画像とを交互に表示する際、図17の(A)に示すように、カラー液晶表示素子101のデルタ配列の水平方向の画素ピッチをPx、垂直方向の画素

ピッチを P_y とすると、奇数フィールド画像を表示するときは、図17の(B)に破線で示す位置にカラー液晶表示素子101の画素列が位置し、偶数フィールド画像を表示するときは、実線で示す位置に画素列が位置するように、上記のウォブリング素子103により、例えば水平方向に $0.75P_x$ 、垂直方向に $0.5P_y$ の斜め方向にウォブリング操作を行う。すなわち、例えば P_x が $18\mu\text{m}$ 、 P_y が $47.5\mu\text{m}$ の場合には、水平方向に $13.5\mu\text{m}$ 、垂直方向に $23.75\mu\text{m}$ ずれた斜め方向に、距離がほぼ $27.3\mu\text{m}$ のウォブリング操作が行われる。

【0006】このため、図18に示すように、複屈折板106の結晶軸106aは、カラー液晶表示素子面における $x-y$ 座標と、その法線方向である z 方向に対して傾いた方向に設定して、入射偏光方向がカラー液晶表示素子からの光の偏光方向と一致する場合には、異常光として透過させて画素ずらしを行うようにし、入射偏光方向がカラー液晶表示素子からの光の偏光方向に対して 90° 回転している場合には、画素ずらしを行うことなく常光としてそのまま透過させるようにしている。

【0007】このようにして、図19に示すように、カラー液晶表示素子101に奇数フィールドの画像を表示するときは、その書き換えられる水平ラインに対応する偏光変換用液晶板105の領域への電圧の印加をオンにして、そのラインからの光の偏光方向を 90° 回転させることなくそのまま透過させ、その光を複屈折板106により異常光として出射させて画素ずらしを行い、偶数フィールドの画像を表示するときは、その書き換えられる水平ラインに対応する偏光変換用液晶板105の領域への電圧の印加をオフにして、そのラインからの光の偏光方向を 90° 回転させて透過させ、その光を複屈折板106により画素ずらしを行うことなく常光としてそのまま出射させる。

【0008】

【発明が解決しようとする課題】以上のようにウォブリング操作を行うことにより、カラー液晶表示素子の水平及び垂直方向の解像度をそれぞれ2倍にすることが可能となる。ところが、一般に液晶素子においては、該素子に使用されている液晶がもっている粘性のために、印加電圧の変化に対する液晶分子の配向の変化に遅れが生じるため、立ち上がり時間と立ち下がり時間が大きく、過渡応答特性が悪いという特性がある。したがって、ウォブリング操作を用いた液晶表示装置においても、画像表示素子としての液晶表示素子及びウォブリング素子として用いている偏光変換用液晶板においても、応答速度の遅れが生じ、解像度が低下してしまうという問題点がある。

【0009】これに対して、特開平3-212615号公報には、液晶表示装置によって表示されるべき映像信号の1フレーム期間又は1フィールド期間だけ隔てた映像信号の差信号を得る手段と、入力映像信号から前記差信号を加算して出力する手段とを備え、液晶の過渡応答

特性により生じる残像を打ち消すようにした残像打消回路について開示がなされている。

【0010】しかしながら、上記公報開示のものは液晶表示装置単体における過渡応答特性の改善に関するものであって、解像度を高めるためウォブリング操作を行うようにした画像表示装置に適用することについては、何も開示することがない。また、ウォブリング素子として用いる偏光変換用液晶板における応答速度の遅れを考慮したものは、従来全く知られていない。

【0011】本発明は、光学的なウォブリング操作を行い解像度を高めるようにした画像表示装置における上記問題点を解消するためになされたもので、請求項1に係る発明は、画像表示素子と該画像表示素子からの光の光軸を所定方向に振動させる手段の少なくとも一方の応答特性による画像の解像度の低下を低減できるようにした画像表示装置を提供することを目的とする。請求項2に係る発明は、光軸振動手段の振動方向における応答特性の差異に対応させて映像信号を補正できるようにした画像表示装置を提供することを目的とする。請求項3に係る発明は、映像信号の補正を容易に行えるようにした画像表示装置を提供することを目的とする。請求項4に係る発明は、より高精度で映像信号を補正できるようにした画像表示装置を提供することを目的とする。請求項5に係る発明は、小容量のメモリを用いて低価格化を可能にした画像表示装置を提供することを目的とする。請求項6に係る発明は、映像信号補正手段を簡略化し更に低価格化可能な画像表示装置を提供することを目的とする。請求項7に係る発明は、 D/A 変換部における構成を簡略化し低価格化を可能にした画像表示装置を提供することを目的とする。請求項8に係る発明は、小規模の映像信号補正手段を用いてカラー映像信号を補正できるようにした画像表示装置を提供することを目的とする。請求項9に係る発明は、光軸振動手段による光軸振動に対応させるための遅延映像信号の生成を容易に行えるようにした画像表示装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記問題点を解決するため、請求項1に係る発明は、複数の画素を規則的に配列してなる表示部を有する画像表示素子と、映像信号の入力に基づいて前記画像表示素子の表示部から発する光の光軸を所定の方向に振動させる光軸振動手段と、該光軸振動手段による光軸の振動に同期して前記画像表示素子に異なる画像を表示させる画像表示制御手段とを有し、解像度を向上させるようにした画像表示装置において、前記画像表示素子と前記光軸振動手段の少なくとも一方の応答性能による解像度の低下を低減するため、前記入力映像信号を補正する映像信号補正手段を備えていることを特徴とするものである。

【0013】このように構成した画像表示装置においては、映像信号補正手段で補正された映像信号で画像表示

素子を駆動することにより、画像表示素子と光軸振動手段の少なくとも一方の応答特性による解像度の低下を低減することができる。

【0014】請求項2に係る発明は、請求項1に係る画像表示装置において、前記映像信号補正手段は、前記光軸振動手段による光軸の振動方向に対応して補正量を調整するように構成されていることを特徴とするものである。このように構成することにより、光軸振動手段の振動方向によって応答特性が大きく異なる場合においても、それに対応して高精度で入力映像信号を補正することができる。

【0015】請求項3に係る発明は、請求項1又は2に係る画像表示装置において、前記映像信号補正手段は、現フィールドの映像信号と前フィールドの映像信号を用いて補正を行うように構成されていることを特徴とするものである。このように、現フィールド及び前フィールドの映像信号を用いることにより補正映像信号を容易に生成することが可能となる。

【0016】請求項4に係る発明は、請求項1又は2に係る画像表示装置において、前記映像信号補正手段は、現フィールドの映像信号と複数の過去のフィールドの映像信号を用いて補正を行うように構成されていることを特徴とするものである。このように現フィールド及び複数の過去のフィールドの映像信号を用いることにより、前フィールドにおける光軸振動手段の応答特性による漏れ光量等の算出を正確に行うことができ、より高精度の補正映像信号を生成することが可能となる。

【0017】請求項5に係る発明は、請求項3又は4に係る画像表示装置において、前記映像信号補正手段は、前記前フィールド又は複数の過去のフィールドの映像信号を記憶するメモリを備え、該メモリに記憶する前フィールド又は複数の過去のフィールドの映像信号の量子化レベル数を、前記入力映像信号の量子化レベル数より小さく設定していることを特徴とするものである。映像信号補正手段で補正映像信号を生成する際、現フィールドの映像信号と前フィールド又は複数の過去のフィールドの映像信号との厳密な差を必要としないので、上記請求項5に係る発明のように、メモリに記憶する前フィールド又は複数の過去のフィールドの映像信号の量子化レベル数を小さくすることができ、したがってメモリ容量を小さくすることが可能となり、低価格化を図ることができる。

【0018】請求項6に係る発明は、請求項3に係る画像表示装置において、前記前フィールドの映像信号は、現フィールドのライン間の補間データにより想定するように構成されていることを特徴とするものである。このように構成することにより、フィールドメモリではなくラインメモリを用いて映像信号補正手段を構成することができ、より一層の低価格化が可能となる。

【0019】請求項7に係る発明は、請求項1～6のい

ずれか1項に係る画像表示装置において、前記映像表示素子の駆動回路を備え、前記映像信号補正手段におけるサンプリングのタイミングを、前記映像表示素子の駆動回路におけるサンプリングのタイミングに合わせて補正処理を行うように構成することを特徴とするものである。このように構成することにより、一般にD/A変換部が必要とするデグリッチ処理及び補間フィルタが不要となり、低価格化を図ることができる。

【0020】請求項8に係る発明は、請求項1～7のいずれか1項に係る画像表示装置において、前記映像信号はカラー映像信号であり、前記映像信号補正手段は各色信号に対して共通に対応させ、各色信号を順次補正処理するように構成されていることを特徴とするものである。このように構成することにより、単一の映像信号補正手段により各色の補正映像信号を生成することができ、低価格化を図ることができる。

【0021】請求項9に係る発明は、請求項1～8のいずれか1項に係る画像表示装置において、前記映像信号補正手段の前段及び後段にA/D変換手段及びD/A変換手段を備え、前記光軸振動手段による振動幅に対応する映像信号の遅延を、A/D変換手段とD/A変換手段のサンプリングタイミングのずれで生成できるように構成したことを特徴とするものである。このように構成することにより、ディレイ素子やアナログスイッチが不要となり、またデジタル信号であるサンプリングタイミングの制御信号は、正確な基本クロックを用いてディレイ量を制御することができるので、ディレイ量が厳密に設定できる。また、この同一の制御信号で、RGBの各カラー映像信号のディレイ量を設定できるので、個々の映像信号によるディレイ量のばらつきをなくすることができる。

【0022】

【発明の実施の形態】次に、実施の形態について説明する。まず、実施の形態の説明に先立ち、光学的ウォープリング操作を用いた画像表示装置におけるカラー液晶表示素子（以下、LCDと略称する）とウォープリング素子を構成する偏光変換用液晶板（以下、TNセルと称する）の応答遅れによる解像度などの画質低下について、更に詳細に説明する。最初にTNセルの応答遅れによる画質の低下について説明する。図1に示すように、TNセルに対して、1フレーム期間中の奇数フィールド期間はON、偶数フィールド期間はOFFとなる駆動信号が印加されると、そのTNセルの応答においては、立ち上がり時（ON時）には遅れaが生じ、立ち下がり時（OFF時）には立ち上がり時よりかなり大きい遅れbが生じる。図2に示すように、画像表示装置の表示面において、本来応答遅れのない場合には、奇数フィールド期間には実線で示す位置にのみ各画素パターンが表示され、偶数フィールド期間にはウォープリング操作により点線で示す位置にのみ各画素パターンが表示されるが、上記の

ようにTNセルのON、OFF時の応答遅れにより、ON、OFF時の応答遅れa、bの期間には、実線と点線の両方の位置に各画素パターンが表示され、画質が劣化することになる。

【0023】次に、TNセルの応答遅れに、更にLCDの応答遅れを合わせた場合の、装置表示面の画素出力について説明する。図3は、LCDの1画素に着目した場合の各素子の入出力信号波形を示すタイミング図である。図3において、(A)はフィールド番号を示しており、まず(B)に示すような入力信号 I_1 がLCDに入力された場合、LCDの立ち上がり及び立ち下がり時の応答遅れにより、(C)に示すようなLCD応答出力 L となる。また(D)に示すTNセル駆動信号によるTNセルの応答 T は、先に述べたように、そのON、OFF時の応答遅れにより、(E)に示すようなTNセル応答出力となる。そして、このLCD及びTNセルの双方の応答遅れにより、装置表示面においては、奇数フィールドでは(F)で示すような波形の画素出力 $A_m (=L \times T)$ が出力される。なお、(F)において、点線は応答遅れがない場合の理想的な出力波形を示している。一方、偶数フィールドでは(G)に示すような波形の画素出力 $A_r (=L \times (1-T))$ が出力される。(F)、(G)に示す画素出力 A_m 、 A_r でみられるように、本来出力がなされない時点で出力が現れ、コントラスト比が低下し、解像感が低下する。

【0024】本発明は、上記LCDやTNセルの応答遅れに基づく解像感などの画質の低下を低減するようにするものであるが、次に具体的な実施の形態について説明する。図4は本発明に係る画像表示装置の第1の実施の形態の全体構成を示すブロック構成図である。図4において、1は入力されたカラー映像信号VBSの輝度信号と色信号を分離するためのY/C分離回路、2は色信号をR、G、B信号に変換するためのデコーダ、3-1、3-2、3-3はディレイ回路で、後で詳述するが、ウォーピング操作によるシフト量に相当する時間遅延させた偶数フィールドの映像信号を形成するためのものであり、4-1、4-2、4-3は遅延させない奇数フィールドの映像信号と遅延させた偶数フィールドの映像信号を切り換えるためのアナログスイッチである。5-1、5-2、5-3はA/D変換器、6-1、6-2、6-3はA/D変換された入力画像データを一時保持するラッチ回路、7-1、7-2、7-3は補正回路で、後で詳述するが、現フィールドの信号とフィールドメモリ8-1、8-2、8-3に記憶させている前フィールドの信号などを考慮して補正R、G、B信号を生成するものである。9-1、9-2、9-3はD/A変換器、10はD/A変換された補正R、G、B信号からLCD駆動信号を形成するためのLCDドライブ回路、11はLCD用タイミング信号発生回路、12はTNセル駆動回路、13はLCD、14はTNセル、15はデコーダ2から複合同期

号SYNCを受け各部へのタイミングパルスを提供するためのタイミング制御回路である。

【0025】次に、上記第1の実施の形態における補正回路部分の構成並びに補正動作等について詳細に説明する。まず、LCD及びTNセルの応答遅れの補正原理を、図5及び図6の信号波形図に基づいて説明する。図5の(A)は、LCDのある1つの画素に与えられる補正されていない映像信号 V_1 を示しており、 V_1 は第1フィールドの信号レベル、 V_2 は第2フィールドの信号レベルを表している。そして、 H_m は第1フィールドが奇数フィールドの時、第2フィールドにてフィールド補正を行う時の補正信号レベルを、また H_n は第1フィールドが偶数フィールドの時、第2フィールドにてフィールド補正を行う時の補正信号レベルを示している。図5の(B)は、図5の(A)に示した補正されていない V_1 、 V_2 レベルの映像信号 V_1 がLCDに与えられた場合におけるLCDの透過光量 X の応答特性を示しており、ハッチングを施した部分はLCD及びTNセルの応答遅れがない場合における第2フィールドの光量 W_1 を表している。図5の(C)は、第1フィールドが奇数フィールドの時のTNセルの旋光の応答特性 $T(x)$ を示し、図5の(D)は第1フィールドが偶数フィールドの時のTNセルの旋光の応答特性 $T(x)$ を示している。

【0026】図6の(A)は、第1フィールドが奇数フィールドの時、装置表示面の奇数ライン位置において発する光量を示しており、LCD及びTNセルの応答遅れにより、図示のようになっている。図6の(B)は、第1フィールドが奇数フィールドの時、装置表示面の偶数ライン位置において発する光量 W_1 で、この光量 W_1 はLCD及びTNセルの応答遅れによりなり、図5の(A)に示す信号が与えられた場合で、LCD及びTNセルの応答遅れがない場合での光量 W_0 と比較した場合、 $W_0 < W_1$ となる。図6の(C)は、 t_2 のタイミング時に、すなわち第2フィールドにおいて補正した映像信号 H_m を与えた場合における、装置表示面の偶数ライン位置で発する光量 W_2 を示しており、この光量 W_2 は応答遅れのない場合の光量 W_0 と等しく、 H_m の信号レベルと補正したいときの信号レベル V_2 とは、 $V_2 > H_m$ の関係になっている。

【0027】図6の(D)は、第1フィールドが偶数フィールドの時、装置表示面の奇数ライン位置において発する光量 W_1 を示しており、この光量 W_1 はLCD及びTNセルの応答遅れによりなっており、図5の(A)に示す信号が与えられた場合で、LCD及びTNセルの応答遅れがない場合での光量 W_0 と比較した場合、 $W_0 < W_1$ となり、また第1フィールドが奇数フィールドの時、装置表示面の偶数ライン位置において発する光量 W_1 と比較すると、 $W_1 < W_2$ となっている。なお、図6の(D)において W_2 はTNセルの応答遅れによる遅れ光量である。図6の(E)は、 t_2 のタイミング時に、

すなわち第2フィールドにおいて補正した映像信号 H_n を与えた場合における、装置表示面の奇数ライン位置で発する光量 W_1 を示しており、この光量 W_1 は応答遅れのない場合の光量 W_0 と等しく、 H_n の信号レベルと信号レベル V_2 、 H_n との関係は、 $V_2 > H_n$ 、 $H_n > H_m$ となっている。なお図6の(E)において W_0 はTNセルの応答遅れによる漏れ光量で、 W_0 と同じ値である。

【0028】次に、フィールド補正を行う場合における補正映像信号 H_n の設定方法について説明する。図6の(B)における光量 W_1 は、前フィールドの信号がどのような状態の信号かによって変わって来るので、補正信号 H_n の設定は、 t_2 のタイミング時における前フィールド時のLCDへ供給した映像信号 H_m と現時点での入力された映像信号 I_1 、並びにTNセルのONとOFFでは応答遅れが異なるので、TNセルのその動作状態を考慮して、図6の(C)に示した第2フィールド内での光量 W_2 が理想状態における光量 W_0 と等しくなるように、設定する。なお、TNセルの状態は、映像信号のフィールド判別信号から判断するようになっている。

【0029】そこで、補正回路としては図7のブロック図に示すように、1画面前のデータが必要となるので、フィールドメモリ8を設けて前フィールドの信号を記憶しておき、その記憶データと現フィールドの信号とを補正回路7に入力すると共に、フィールド判別信号をフィールド判別回路16より入力させ、補正回路7から出力される補正信号 H_n をLCD13へ印加するようにしている。なお、フィールド判別信号は、図4に示すように現実にはタイミング制御回路15から得るようになっている。

【0030】次に、フレーム補正を行う場合における補正映像信号 H_n の設定方法について説明する。ここで、補正映像信号記号の添字の数字は、フィールド番号を示し、アルファベットのcはフレーム補正であることを示す。図6の(D)に示したように、第1フィールドが偶数フィールドの時、装置表示面の奇数ライン位置に発する光量 W_0 は、LCDとTNセルの応答遅れにより図示のようになまるが、第1フィールドつまり表示面の偶数ライン位置においては光量がない状態が理想であるが、TNセルの応答遅れにより光量 W_0 の漏れ光が生じる。この漏れ光量 W_0 は t_2 のタイミングにおいて補正しても、その量は変わらない。そこで、前フィールド時のLCDに供給した映像信号 H_m とTNセル応答 $T(x)$ より*

$$W_n = L_0(V_n) \times (t_{on} - t_n) \quad (1)$$

nが奇数の場合、すなわち奇数フィールド補正時における補正後の装置表示面の奇数ラインの光量 $W_{Hn(odd)}$ ※

$$W_{Hn(odd)} = \sum \{ L(H_n, H_{n+1}, t) \times T(on, t) \} \quad \dots (2)$$

nが偶数の場合、すなわち偶数フィールド補正時における補正後の表示面の偶数ラインの光量 $W_{Hn(even)}$ は、★

$$W_{Hn(even)} = \sum \{ L(H_n, H_{n+1}, t) \times \{ 1 - T(off, t) \} \}$$

* 漏れ光量 W_0 を想定し、図6の(E)において、 $W_0 = W_1 + W_2$ (W_0 は W_2 と同じ光量)となるように、補正信号 H_n を設定するものである。このように、フレーム補正における補正映像信号とフィールド補正における補正映像信号とは、異なる補正值をとることになる。なお、漏れ光量 W_0 は、 $[k \times H_m \times T(x)]$ より概算する。但し、kは係数である。

【0031】また、漏れ光 W_0 ($=W_0$) の厳密な算出は、前フィールド時のLCDへ供給した映像信号 H_m と、この映像信号 H_m より更に1フィールド前の映像信号 H_{m-1} によるLCDの応答特性とTNセルの応答特性を考慮することにより可能となる。このため補正回路としては、図8のブロック図に示すように、1フィールド前の信号を取り込むためのフィールドメモリ8の他に、1フレーム前の信号を取り込むためのフレームメモリ17とを設ける。これにより、2画面の状態を考慮して漏れ光量を予測できるため、更に高精度の補正を行うことができる。

【0032】なお、上記補正原理においては、前フィールド信号を補正した信号から取り込むようにしたものを示しているが、前フィールドの信号はどのような状態の信号であるかわかればよいので、図9に示すように補正前の前フィールドの信号を用いるようにしてもよい。

【0033】上記補正の原理は、図5の(A)に示すような映像信号が入力された場合について説明であるが、次に、一般的なLCD及びTNセルの応答遅れの補正について説明する。まず、入力映像信号を I_n (n はフィールド番号)とし、補正なしのLCD駆動信号を V_n 、補正LCD駆動信号を H_n (I_n, H_{n-1})又は H_n (I_n, I_{n-1})又は H_n (I_n, H_{n-1}, H_{n-2})とし、LCDの応答特性を $L(H_n, H_{n+1}, t)$ 、但し t は経過時間とし、TNセルの応答特性を $T(s, t)$ 、但し s は動作設定状態(on 又は off)、 t は経過時間とする。

【0034】次に、1フィールド補正(奇数フィールド時にTNセルが on)の場合、1フレーム補正(フレームメモリ使用タイプ)の場合、及び1フレーム補正(フレームメモリ不使用タイプ)の場合における補正方法について説明する。

【0035】(1) 1フィールド補正
応答遅れのないLCD光量を $L_0(V_n)$ 、1フィールド時間 $t_r = (t_{on} - t_n)$ とすると、理想的な光量 W_n は、次式(1)で表される。

$$\dots \dots \dots (1)$$

※は、次式(2)のように表される。

★次式(3)のように表される。

そして、 $W_n = WHn(odd)$ 、及び $W_n = WHn(even)$ となる H_n を補正値として設定する。なお、上記総和記号 Σ における総和範囲は、 $t=0$ から $t=t_r$ までである。

【0036】(2) 1フレーム補正(フレームメモリ使*

$$\begin{aligned} WHn(odd) = & \Sigma \{ L(H_n, H_{n-1}, t) \times T(on, t) \} \\ & + \Sigma \{ L(H_{n-1}, H_{n-2}, t) \times T(off, t) \} \end{aligned}$$

..... (4)

n が偶数の場合、すなわち偶数フィールド補正時における補正後の表示面の偶数ラインの光量 $WHn(even)$ は、※

$$\begin{aligned} WHn(even) = & \Sigma \{ L(H_{n+1}, H_n, t) \times \{1 - T(off, t)\} \} \\ & + \Sigma \{ L(H_n, H_{n-1}, t) \times \{1 - T(on, t)\} \} \end{aligned}$$

..... (5)

そして、 $W_n = WHn(odd)$ 、及び $W_n = WHn(even)$ となる H_n を補正値として設定する。なお、上記総和記号 Σ における総和範囲は、 $t=0$ から $t=t_r$ までである。

【0037】(3) 1フレーム補正(フレームメモリ不★

$$WHn(odd) = \Sigma \{ L(H_n, H_{n-1}, t) \times T(on, t) \} + (k_{off} \times H_{n-1})$$

..... (6)

n が偶数の場合、すなわち偶数フィールド補正時における補正後の表示面の偶数ラインの光量 $WHn(even)$ は、☆

$$\begin{aligned} WHn(even) = & \Sigma \{ L(H_{n+1}, H_n, t) \times \{1 - T(off, t)\} \} \\ & + (k_m \times H_{n+1}) \end{aligned}$$

..... (7)

そして、 $W_n = WHn(odd)$ 、及び $W_n = WHn(even)$ となる H_n を補正値として設定する。なお、上記(6)、(7)式における総和記号 Σ における総和範囲は、 $t=0$ から $t=t_r$ までである。

【0038】図4に示した第1の実施の形態において、通常はA/D変換器5-1、5-2、5-3によるA/D変換からD/A変換器9-1、9-2、9-3によるD/A変換までは、全て例えば8ビットで信号処理が行われるが、補正回路7-1、7-2、7-3において補正信号を生成するために取り込む前フィールド等のデータについては、あまり細かいレベルのデータは必要なく、おおよその特徴をとらえて、その特徴から漏れ光量などを予測できるので、フィールドメモリ8-1、8-2、8-3に取り込む前フィールドのデータは、例えば4ビット程度に分解能(量子化レベル数)を落として取り込んでもよい。これにより、フィールドメモリ8-1、8-2、8-3のメモリ容量を小さくすることができ

【0039】上記第1の実施の形態においては、補正回路に前フィールドのデータを取り込むためフィールドメモリを用いたものを示したが、フィールドメモリは1画面分の大容量メモリを必要とし、コスト的にも高価であるという問題点がある。そこで、この問題点を解消できるようにした第2の実施の形態について説明する。この実施の形態は、1ライン分のメモリを用いて補正映像信

*用タイプ)

n が奇数の場合、すなわち奇数フィールド補正時における補正後の装置表示面の奇数ラインの光量 $WHn(odd)$ は、次式(4)のように表される。

★使用タイプ)

n が奇数の場合、すなわち奇数フィールド補正時における補正後の装置表示面の奇数ラインの光量 $WHn(odd)$ は、次式(6)のように表される。但し k_{off} は係数である。

☆次式(7)のように表される。但し k_m は係数である。

号を生成するようにしたもので、図10の(A)に示すように、ラインA、Bを現フィールドのラインとしたとき、ラインAとラインBの中間ラインCを前フィールドのラインとして、ラインAとラインBのデータの平均をとって予測する。そして、このラインCのデータがウオブリッジ操作するときのデータ、つまり1フィールド前のデータと近似しているものとして取り扱い、このラインCのデータをもとにして補正映像信号を形成するものである。回路構成としては、図10の(B)に示すように、ラインメモリ21と加算器22と1/2乗算器23とで構成される。この実施の形態の場合は、動画の場合には若干画質が低下するおそれがあるが、静止画の場合は十分対応することができ、より安価に補正部を構成することができる。

【0040】次に、第3の実施の形態について説明する。この実施の形態は、補正回路のサンプリングのタイミングと、LCDドライブ回路におけるサンプリングのタイミングとを合わせるように構成するものである。R、G、B映像信号は、A/D変換器において離散的にサンプリングしてデジタル的に制御されて行くが、LCDにおける画素配列においても図11の(A)に示すように、R、G、B画素はそれぞれ離散的に配列されており、LCDドライブ回路10に入力されるR、G、B補正映像信号は、図11の(B)に示すように、LCD用タイミングパルス発生回路11から離散的に発生するクロック

信号 CK_s 、 CK_e 、 CK_o によりサンプル・ホールド回路 S/H でラッチされ、一括して増幅器24を介してLCD13へ出力されるようになっている。通常の画像処理の場合、 R 、 G 、 B の各映像信号を同一のタイミングで処理を行う。しかし、本実施の形態においては、 R 、 G 、 B 個別のタイミングで処理を行っているため、通常の画像処理の場合に比べサンプリング回数は $1/3$ に減減でき、サンプリング周期は3倍に延びるもので処理時間に余裕をもてるようになる。そこで、本実施の形態においては、補正回路7-1、7-2、7-3における補正処理のサンプリングのタイミングを、LCDドライブ回路10におけるサンプリングのタイミングに合わせるようにしている。

【0041】一般的には、 D/A コンバータにおいてはデジタル値の各重みに対応した定電流又は定電圧源をクロックに同期して切り換えるようにしているが、切り換えタイミングがずれると、グリッジ・パルスが発生する。このグリッジ・パルスは、 D/A コンバータの出力位相のずれたところでサンプリングし補間フィルタで補間することにより、除去するようにしている。本実施の形態においては、上記のように補正回路におけるサンプリングのタイミングとLCDドライブ回路におけるサンプリングのタイミングを合わせるように構成しているため、 D/A 変換部においてデグリッジ処理や、補間フィルタが不要となる。

【0042】図4に示した第1の実施の形態においてLCDのタイミングパルスに同期して処理した場合、各補正回路7-1、7-2、7-3における R 、 G 、 B の各映像信号の補正処理は、それぞれ異なるタイミングで行われているので、補正処理のタイミングをずらすことにより、1個の補正回路を用いて、 R 、 G 、 B の各映像信号の補正を行うことが可能である。次に、このように、単一の補正回路で補正処理を行うようにした第4の実施の形態を図12に示す。すなわち、 A/D 変換器5-1、5-2、5-3の後段にマルチプレクサ26を配置して、 R 、 G 、 B 信号を多重化し、 R 、 G 、 B の各信号に対してタイミングをずらして、単一の補正回路7で補正処理を行うようになっている。前フィールドのデータは単一のフィールドメモリ8において、 R 、 G 、 B の時系列で順次記憶するようになっており、容量的には R 、 G 、 B 毎に個別に補正処理を行っている場合に用いる各フィールドメモリの3倍の容量となっている。

【0043】次に、第5の実施の形態について説明する。図13は、LCDによる表示画面配列と映像信号のタイミングを示す図であるが、表示画面配列中、実線で示した画面配列は奇数フィールドの画面パターンで、点線で示した画面配列はウォブリング操作による偶数フィールドの画面パターンを示している。映像信号(A)は奇数フィールドの映像信号で、映像信号(B)は偶数フィールドの映像信号であり、ここでは両者はタイミングが

ずれているだけで同じ信号とする。奇数フィールドの映像信号(A)において、○印部分は奇数フィールド期間におけるサンプリング位置で、●印部分はウォブリング操作による偶数フィールド期間においてサンプリングされるべき位置である。したがって、奇数フィールド期間と偶数フィールド期間において、水平同期信号Hから時間Tだけ遅れた同じサンプリング位相 t_1 からサンプリングを開始しようとする場合には、偶数フィールドの映像信号(B)は、そのサンプリング位相 t_1 において●印部分をサンプリングしなければならないので、ウォブリング操作によるずれ量に相当する時間 τ だけ映像信号を遅らせる必要がある。

【0044】そこで、本実施の形態においては、先に図4に示したように、デコーダ2と A/D 変換器5-1、5-2、5-3の間にディレイ回路3-1、3-2、3-3を設けて、ウォブリングのずれ量に対応する時間遅らせた偶数フィールド期間の映像信号を形成し、アナログスイッチ4-1、4-2、4-3により、遅延処理しない奇数フィールド期間の映像信号と遅延処理した偶数フィールド期間の映像信号とを切り換えて、 A/D 変換器5-1、5-2、5-3へ入力するように構成している。

【0045】次に、奇数フィールド映像信号に対して遅延させた偶数フィールド映像信号の形成に関する第6の実施の形態について説明する。図14の曲線pは偶数フィールドの映像信号の A/D 変換前における入力波形で、 A/D 変換時におけるサンプリングのタイミングを○印で示している。また曲線qは同じく偶数フィールドの映像信号の D/A 変換後における出力波形で、 D/A 変換時におけるサンプリングのタイミングを○印で示しており、 D/A 変換におけるサンプリングのタイミングは A/D 変換におけるサンプリングのタイミングに対して1クロック(図14においてaで示す)遅れている。

【0046】一方、曲線rは奇数フィールドの映像信号の A/D 変換前における入力波形で、曲線pで示した偶数フィールドの映像信号の A/D 変換前における入力信号と同じであるものとする。また曲線sは奇数フィールドの映像信号の D/A 変換後の出力波形である。奇数フィールドの映像信号については、 A/D 変換時のサンプリングは、●印で示すように偶数フィールドの映像信号の A/D 変換時のサンプリングのタイミングより時間bだけ遅延させて行う。このように A/D 変換時において、時間bだけ遅らせたサンプリングのタイミングにおける映像信号の信号値は、 D/A 変換時には早く現れる。すなわち、 D/A 変換時の出力波形の遅延時間cは(a-b)となり、偶数フィールドにおける D/A 変換時の出力波形の遅延時間a(1クロック)より短くなる。つまり、 A/D 変換時のサンプリングのタイミングのずれによって、偶数フィールドの映像信号を遅延させることができる。

【0047】このような動作を実施させるには、図15に示すように、ディレイ回路27とセレクト28とを設け、タイミング制御回路15からのタイミングを、ディレイ回路27を通したものと通さないものとをセレクト28で切り換えてA/D変換器5-1、5-2、5-3へ入力し、A/D変換器5-1、5-2、5-3のサンプリングのタイミングを制御するように構成する。

【0048】

【発明の効果】以上実施の形態に基づいて説明したように、請求項1に係る発明によれば、光学的なウォブリ
 ング操作による画素ずらしを行って高解像度の画像を表示
 するようにした画像表示装置において、画像表示素子と
 光軸振動手段の少なくとも一方の応答特性による解像度
 の低下を低減できるようにした画像表示装置を実現する
 ことができる。請求項2に係る発明によれば、光軸振動
 手段の振動方向によって応答特性が大きく異なる場合に
 おいても、それに対応した高精度の補正映像信号を生成
 することができる。請求項3に係る発明によれば、現フ
 ィールド及び前フィールドの映像信号を用いることによ
 り補正映像信号を容易に得ることができる。請求項4に
 係る発明によれば、前フィールドにおける光軸振動手段
 の応答特性による漏れ光量等の算出を正確に行うことが
 でき、より高精度の補正映像信号を生成することができ
 る。請求項5に係る発明によれば、メモリに記憶する前
 フィールド又は複数の過去のフィールドの映像信号の量
 子化レベル数を入力映像信号の量子化レベル数より小さ
 くすることにより、メモリ容量を小さくすることができ
 、低価格化が可能となる。請求項6に係る発明によれば
 、フィールドメモリの代わりにラインメモリを用いて
 映像信号補正手段を構成することができ、より一層の低
 価格化を図ることができる。請求項7に係る発明によれば
 、一般にD/A変換部が必要とするデジリッジ処理及び
 補間フィルタが不要となり、低価格化を図ることができ
 る。請求項8に係る発明によれば、単一の映像信号補
 正手段により各色の補正映像信号を生成することができ
 、低価格化が可能となる。請求項9に係る発明によれば
 、ディレイ素子やアナログスイッチなしで遅延量を厳密
 に設定した遅延映像信号を生成することができ、またカ
 ラー映像信号の場合、色信号毎のディレイ量のばらつ
 きの少ない遅延映像信号を容易に得ることができる。

【図面の簡単な説明】

【図1】ウォブリング素子を構成するT Nセルの応答遅れを示す図である。

【図2】T Nセルの応答遅れによる画質の低下を説明するための説明図である。

【図3】T Nセルの応答遅れにLCDの応答遅れを合わせた場合の装置表示面の画素出力を示すタイミングチャートである。

【図4】本発明に係る画像表示装置の第1の実施の形態を示すブロック構成図である。

【図5】図4に示した第1の実施の形態におけるLCD及びT Nセルの応答遅れの補正の原理を説明するための信号波形図である。

【図6】補正の原理を説明するための図5に示した信号波形図に続く信号波形図である。

【図7】図4に示した第1の実施の形態における補正回路部を抜き出して示す概略図である。

【図8】図7に示した補正回路部の変形例を示す概略図である。

【図9】図7に示した補正回路部の他の変形例を示す概略図である。

【図10】第2の実施の形態の説明図及び補正回路部の構成を示す概略図である。

【図11】第3の実施の形態の説明図及び要部を示す概略構成図である。

【図12】第4の実施の形態を示すブロック構成図である。

【図13】第5の実施の形態を説明するための信号波形図である。

【図14】第6の実施の形態を説明するための信号波形図である。

【図15】第6の実施の形態を示すブロック構成図である。

【図16】ウォブリング操作により画素ずらしを行って画像を表示する、従来の画像表示装置の構成を示す概略斜視図である。

【図17】図16に示した画像表示装置におけるウォブリング素子の作用を説明するための図である。

【図18】図16に示した画像表示装置におけるウォブリング素子を構成する複屈折板の作用を説明するための図である。

【図19】図16に示した画像表示装置の動作を説明するための図である。

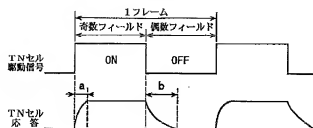
【符号の説明】

- 1 Y/C分離回路
- 2 デコーダ
- 3-1、3-2、3-3 ディレイ回路
- 4-1、4-2、4-3 アナログスイッチ
- 5-1、5-2、5-3 A/D変換器
- 6-1、6-2、6-3 ラッチ回路
- 7、7-1、7-2、7-3 補正回路
- 8、8-1、8-2、8-3 フィールドメモリ
- 9-1、9-2、9-3 D/A変換器
- 10 LCDドライブ回路
- 11 LCD用タイミングパルス発生回路
- 12 T Nセル駆動回路
- 13 LCD
- 14 T Nセル
- 15 タイミング制御回路
- 16 フィールドメモリ

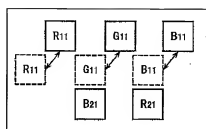
- 17 フレームメモリ
21 ラインメモリ
22 加算器
23 $1/2$ 乗算器

- * 24 増幅器
26 マルチプレクサ
27 デイレイ回路
* 28 セレクタ

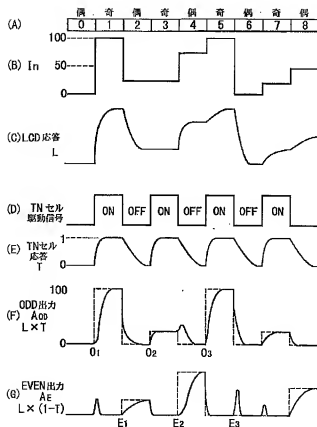
【図1】



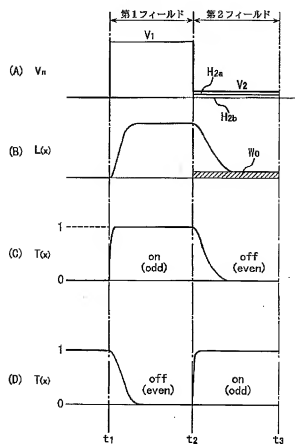
【図2】



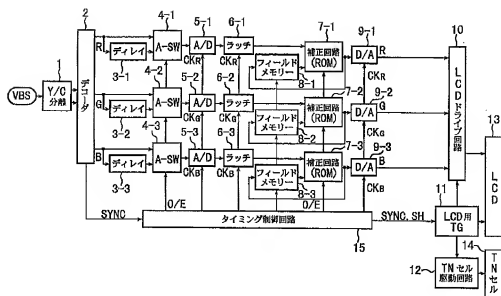
【図3】



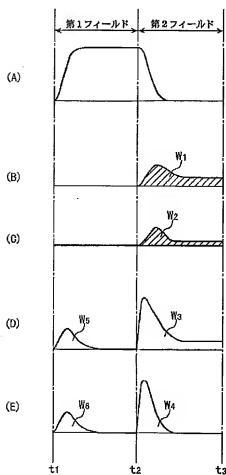
【図5】



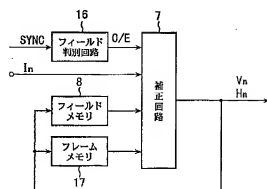
【図4】



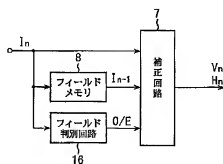
【図6】



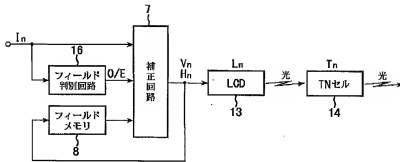
【図8】



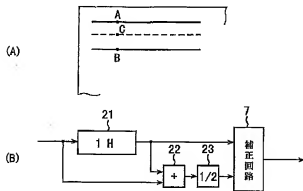
【図9】



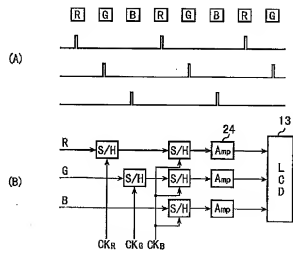
【図7】



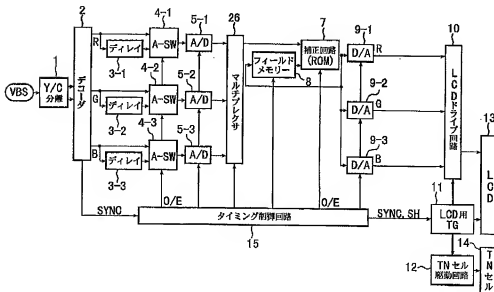
【図10】



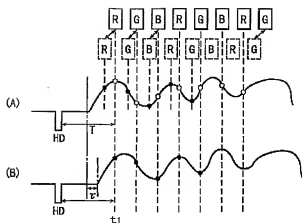
【図11】



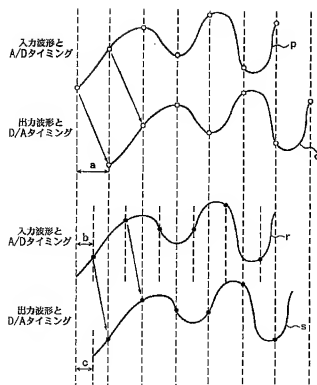
【図12】



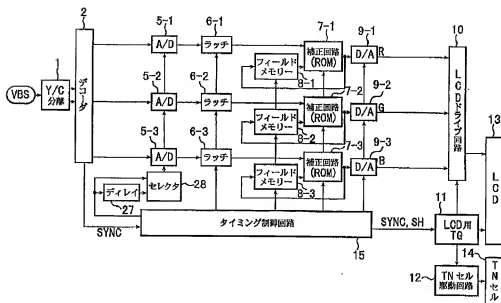
【図13】



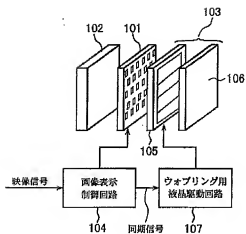
【図14】



【図15】

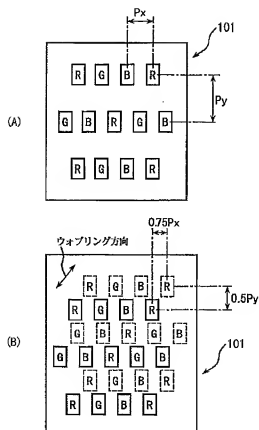


【図 16】

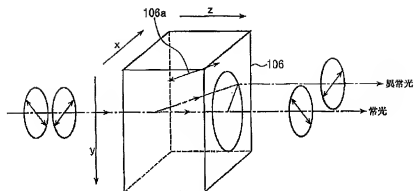


101: カラー液晶表示素子
102: バックライト
103: ウォーピング素子
105: 偏光変換用液晶板
106: 複屈折板

【図 17】



【図 18】



【図 1 9】

